

FORMATION OF CAPACITY ELEMENT

Patent Number: JP7130875
Publication date: 1995-05-19
Inventor(s): SHISHIGUCHI SEIICHI
Applicant(s): NEC CORP
Requested Patent: ☐ JP7130875
Application Number: JP19930292732 19931028
Priority Number(s):
IPC Classification: H01L21/8242; H01L27/108; H01L27/04; H01L21/822
EC Classification:
Equivalents: JP2565293B2

Abstract

PURPOSE:To enable formation of a capacity element whose burying property to a fine capacity contact hole is good and producibility is good by forming a film by using monosilane gas of low reaction property during formation of a capacity contact plug and disilane gas of high reaction property during formation of a capacity lower electrode.

CONSTITUTION:When a fine contact hole which requires coverage is buried, a dope silicon film is formed until a contact hole is completely buried by using monosilane gas and dopant gas as raw gas in a range of formation temperature of 550 to 600 deg.C by vacuum vapor growth method and a contact plug 108 is formed. Then, as for formation of a capacity electrode with a continuous thickness, a dope silicon film is formed by using disilane gas and dopant gas as raw gas in a range of formation temperature of 550 to 600 deg.C by vacuum vapor growth method and then a capacity lower electrode 109 is formed to a specified configuration by patterning and annealing.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-130875

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8242				
27/108				
27/04				
		7210-4M	H 0 1 L 27/ 10	3 2 5 C
		8832-4M	27/ 04	C
審査請求 有 請求項の数4 F D (全 7 頁) 最終頁に続く				

(21)出願番号 特願平5-292732

(22)出願日 平成5年(1993)10月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 獅子口 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

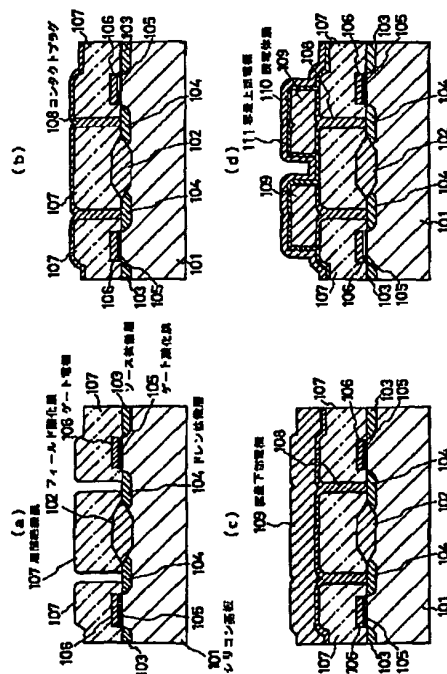
(74)代理人 弁理士 鈴木 弘男

(54)【発明の名称】 容量素子の形成方法

(57)【要約】

【目的】 MOSダイナミックRAMの積層型容量素子の形成方法において、微細な容量コンタクトホールに対する埋設性が良好で、かつ、生産性に優れた容量素子の形成方法を提供することを目的とする。

【構成】 本発明の容量素子の形成方法は、LPCVD法を用い、反応性の異なる2種類の反応ガスを用い、容量コンタクトプラグ形成時においては反応性の低いモノシランガス (SiH_4) により、容量下部電極形成時においては反応性の高いジシランガス (Si_2H_6) により、それぞれ膜成形を行なうことを特徴とする。



【特許請求の範囲】

【請求項1】 MOSダイナミックRAMを形成する積層型容量素子の形成方法において、

シリコン基板上の層間絶縁膜にコンタクトホールを形成する工程と、

減圧気相成長法により、成長温度550℃から600℃の範囲で原料ガスとしてモノシランガス(SiH₄)とドーパントガスを用いてコンタクトホールが完全に埋設されるまでドーパントシリコン膜を成長させる工程と、

減圧気相成長法により、成長温度550℃から600℃の範囲で原料ガスとしてジシランガス(Si₂H₆)とドーパントガスを用いて容量下部電極となるドーパントシリコン膜を成長させる工程と、

該ドーパントシリコン膜を所定の形状にパターンニングする工程と、

アニールにより該ドーパントシリコン膜を多結晶化することにより容量下部電極を形成する工程とからなることを特徴とする容量素子の形成方法。

【請求項2】 HSG(Hemi-Spherical-Grain)型のMOSダイナミックRAMを形成する積層型容量素子の形成方法において、

シリコン基板上の層間絶縁膜にコンタクトホールを形成する工程と、

減圧気相成長法により、成長温度550℃から560℃の範囲で原料ガスとしてモノシランガス(SiH₄)とドーパントガスを用いてコンタクトホールが完全に埋設されるまでドーパントシリコン膜を成長させる工程と、

減圧気相成長法により、成長温度550℃から560℃の範囲で原料ガスとしてジシランガス(Si₂H₆)とドーパントガスを用いて容量下部電極となるドーパントシリコン膜を成長させる工程と、

該ドーパントシリコン膜を所定の形状にパターンニングする工程と、

パターンニングされた該ドーパントシリコン膜の表面にHSGを形成する工程と、

アニールにより該ドーパントシリコン膜を多結晶化することにより容量下部電極を形成する工程とからなることを特徴とする容量素子の形成方法。

【請求項3】 ドーパントシリコン膜成長時のドーパントガスとして、フォスフィンガス(PH₃)ガスを使用することを特徴とする請求項1および2のいずれか一方に記載の容量素子の形成方法。

【請求項4】 ドーパントシリコン膜成長時のドーパントガスとして、アルシランガス(AsH₃)ガスを使用することを特徴とする請求項1および2のいずれか一方に記載の容量素子の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリーの製造方

法に関し、特に、MOSダイナミックRAMの容量素子の形成方法に関する。

【0002】

【従来の技術】 半導体メモリーは、ビット当たりの製造単価低減あるいは、メモリーアクセス時間短縮のため、メモリーセル面積の縮小による高集積化が図られてきた。集積度に関する現状レベルは、開発レベルでは0.35μm幅の最小設計ルールを用いた64MbDRAMが、量産レベルでは0.6μm幅の最小設計ルールを用いた16MbDRAMがそれぞれ製造されるに至っている。このような高集積化によるメモリーセル面積の縮小は、メモリーセルに蓄積できる電荷容量の低下をもたらすため、最近では小さいセル面積でも十分な電荷蓄積量が得られる容量素子構造として、第3図に示した積層型(スタック型)と呼ばれる立体型の容量素子が開発され実用化されている。この種の容量素子は、従来、以下の工程からなる方法で形成されていた。

【0003】 図3において、まずP型シリコン基板301に素子分離のためのフィールド酸化膜302、ゲート酸化膜305、ゲート電極306、ソース拡散層303およびドレイン拡散層304を形成した後、層間絶縁膜307を形成し、所定のマスクを用いた反応性イオン・エッチング法によりドレインに接続する微細なコンタクトホールを開口する(図3(a))。次にLPCVD法により、原料ガスとしてSi₂H₆ガスもしくはSiH₄ガスを、ドーパントガスとしてPH₃ガスをそれぞれ用いてシリコン膜を成長させた後、パターンニングによりコンタクトプラグ308および容量下部電極309を形成する(図3(b))。さらに、誘電体膜310を成長させ、容量上部電極311を形成して、容量素子が形成される(図3(c))。

【0004】

【発明が解決しようとする課題】 高密度のメモリーセルを形成するためには、コンタクトホール径を小さくしてメモリーセル面積を縮小すると同時に、より小さい面積で十分な蓄積電荷容量を得るために容量下部電極308の高さを高くすることで電極の側面積を増大させることが必要となる。このため、微細なコンタクトホールに対する充分な埋設性(カヴァレッジ)と高い容量下部電極308を充分なスループロットで形成するための高速成膜が要求される。しかし、従来のコンタクトホール埋設および容量電極の形成方法ではもはや上記の要請にこたえることができない。例えば、コンタクトホールの径が0.25μm、容量電極の高さが0.5μmである容量素子に対するカヴァレッジと成長時間を、SiH₄-PH₃およびSi₂H₆-PH₃系について次の表1に示した。

【0005】

【表1】

原料ガス	成長温度	成長速度	カヴァレッジ*	成長時間
SiH ₄ -PH ₃ 系	580℃	3.0nm/min	100%	167min
Si ₂ H ₆ -PH ₃ 系	580℃	10.0nm/min	50%	50min
Si ₂ H ₆ -PH ₃ 系	470℃	1.5nm/min	75%	333min

*：コンタクトホール底での膜厚と層間絶縁膜上の膜厚との比

表1において、SiH₄-PH₃系の場合は、良好なカヴァレッジが得られるが成長速度が遅く成長時間が長いという欠点がある。一方、成長温度を580℃としたSi₂H₆-PH₃系場合は、成長速度が速く成長時間は短いカヴァレッジが非常に悪いという欠点がある。また、成長温度が470℃のSi₂H₆-PH₃系の場合はカヴァレッジはある程度良好であるが、成長速度が非常に遅く成長時間が長いという欠点がある。このため、従来法では、微細なコンタクトホールを持ちかつ高さの高い容量下部電極を持つ容量素子を充分なスループットで形成することは困難となっている。

【0006】本発明は従来技術における上記した事情に鑑みてなされたもので、その目的とするところは、MOSダイナミックRAMの積層型容量素子の形成方法において、微細な容量コンタクトホールに対する埋設性が良好で、しかも生産性に優れた容量素子形成方法を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明の主たる態様によれば、MOSダイナミックRAMを形成する積層型容量素子の形成方法において、シリコン基板上の層間絶縁膜にコンタクトホールを形成する工程と、減圧気相成長法により、成長温度550℃から560℃乃至600℃の範囲で原料ガスとしてモノシランガス(SiH₄)とドーパントガスを用いてコンタクトホールが完全に埋設されるまでドーパントシリコン膜を成長させる工程と、減圧気相成長法により、成長温度550℃から560℃乃至600℃の範囲で原料ガスとしてジシランガス(Si₂H₆)とドーパントガスを用いて容量下部電極となるドーパントシリコン膜を成長させる工程と、該ドーパントシリコン膜を所定の形状にパターニングする工程と、アニールにより該ドーパントシリコン膜を多結晶化する工程とにより容量下部電極を形成することを特徴とする容量素子の形成方法が提供される。

【0008】本発明の別の態様によれば、上記主態様におけるドーパントシリコン膜成長時のドーパントガスとしてフォスフィンガス(PH₃)およびアルシランガス(AsH₃)のいずれか1つのガスが用いられることを特徴とする容量素子の形成方法が提供される。

【0009】

【作用】従来技術における前述の課題が本発明により解決できる訳を以下に説明する。原料ガスであるSiH₄とSi₂H₆との同一温度での反応性を比較すると、Si₂H₆ガスの方がはるかに高い。反応性の高いガスによる膜成長では成長速度が高いという利点があるが、一方で原料ガスの消費が速いために、コンタクトホール外部でガスが大部分消費されホール内部でのガス濃度が低下してカヴァレッジが悪化するという欠点がある。逆に、反応性の低いガスによる膜成長では成長速度が低くなるが、一方で反応ガスの消費が遅いために、コンタクトホール内部まで原料ガスが充分供給されて良好なカヴァレッジが得られる。従来例でのカヴァレッジと成長速度の関係は以上のモデルで説明できる。

【0010】そこで、本発明では、SiH₄ガスとSi₂H₆ガスとの同一温度における反応性の違いを積極的に利用し、まずカヴァレッジを必要とする微細なコンタクトホール埋設に関しては反応性の低いSiH₄ガスを用いて第1のシリコン膜を成長させ、次に連続した厚さを持つ容量電極の成長に関しては反応性の高いSi₂H₆ガスを用いて第2のシリコン膜を高速成長させる。このため、カヴァレッジが良好で生産性が高い膜成長を行なわせることができる。成長温度としては、SiH₄ガスで実用的な成長速度が得られ、且つ良好なカヴァレッジが得られる550℃から560℃乃至600℃の範囲内で行なうのが好ましい。

【0011】

【実施例】本発明の第1実施例について添付の図面の図1を参照して説明する。

【0012】まず、面方位「100」、抵抗率10Ω・cmのP型シリコン基板101上にLOCOS(選択酸化法)によりフィールド酸化膜102を形成する。次に、ゲート酸化膜105およびゲート電極106を形成し、ソース拡散層103とドレイン拡散層104を形成してスイッチングトランジスタ素子部を形成する。さらにCVD法により層間絶縁膜107を堆積した後、ドレインに接続する容量コンタクトホール(0.25μm径)を開口する(図1(a))。その後、本発明の特徴であるコンタクトプラグ108と容量下部電極109となるシリコン膜を連続成長させる(図1の(b)および(c))。その際、シリコン膜の成長には通常のLPCVD炉を用い、炉内温度を580℃、真空度を0.5 Torrに設定し、原料ガスとしてSiH₄1000sccm、4%PH₃(Heベース)50sccmを42分

間供給してコンタクトホールを完全に埋設してコンタクトプラグ108を形成する(図1(b))。次に、同一温度、同一真空度で、原料ガスとして Si_2H_6 100 sccm、4% PH_3 (Heベース) 100 sccmを38分間供給して0.5 μm 厚のシリコン膜を成長させる(図1(c))。このシリコン膜はフォトリソグラフィによりパターンニングされ、さらに850℃で30分間の窒素処理が施されて多結晶シリコンによる容量下部電極109が形成される。さらに、 Si_3N_4 膜と SiO_2 膜の複合膜であるNO膜の誘電体膜110を形成し*

また後、リンドープの多結晶シリコン膜を成長させて容量上部電極111とし、斯くして所望の容量素子が形成される(図1(d))。

【0013】以上の説明から明らかなとおり、本発明では、コンタクトプラグと容量下部電極の形成方法に特徴があるが、第1実施例の場合のカヴァレッジおよび成長に要する時間について次表2に示した。

【0014】

【表2】

成長部所 原料ガス	成長温度	成長速度	カヴァレッジ*	成長時間
コンタクトプラグ $\text{Si}_4\text{-PH}_3$ 系	580℃	3.0nm/min	100%	42min
容量下部電極 $\text{Si}_2\text{H}_6\text{-PH}_3$ 系	580℃	10.0nm/min	—	38min

*：コンタクトホール底での膜厚と層間絶縁膜上の膜厚との比

表2より、本発明の場合、0.25 μm 径の微細コンタクトホールに対してシリコンを完全に埋設することができ、かつ合計成長時間が80分と短く生産性が向上した。従来技術のところで述べた $\text{SiH}_4\text{-PH}_3$ 系の従来例との比較では成長時間が半分以下(48%)に、また $\text{Si}_2\text{H}_6\text{-PH}_3$ 系470℃成長との比較では約4分の1以下(24%)にそれぞれ短縮でき、生産性が大幅に向上していることが確認された。また、従来の $\text{Si}_2\text{H}_6\text{-PH}_3$ 系580℃成長ではカヴァレッジが悪く、0.25 μm 径のコンタクトホールを完全に埋設することは不可能であり、コンタクトプラグとして使用することはできなかった。

【0015】次に、積層型容量素子で高い蓄積電荷容量を得る構造として最近注目されている、HSG (Hemispherical-Grain) 型容量素子の形成に本発明を適用した例を第2実施例とし、これを図2に関連して説明する。この容量素子は、容量下部電極表面に凹凸形状のHSGを形成し、実効電極面積を増加させることにより容量を増加させた素子である。

【0016】最初に、素子分離のフィールド酸化膜形成から容量コンタクトホール開口までは前述の第1実施例と同一プロセスで形成する(図2(a))。続いて、通常のLPCVD炉を用い、まず炉内温度を560℃、真空度を0.5 Torrに設定し、原料ガスとして SiH_4 1000 sccm、4% PH_3 (Heベース) 50 sccmを50分間供給してコンタクトホールを完全に埋

設してコンタクトプラグ208を形成する(図2(b))。次に、同一温度、同一真空度で、原料ガスとして Si_2H_6 100 sccm、4% PH_3 (Heベース) 100 sccmを47分間供給して0.5 μm 厚のシリコン膜を成長させる。その際、第2実施例では、後で容量下部電極の表面に凹凸形状のHSGを形成することから、成長したシリコン膜はアモルファスであることが必要となる。このため、容量下部電極となるシリコン膜は第1実施例の場合より低温で成長させることが重要である。成長後、シリコン膜はフォトリソグラフィにより容量下部電極の形状にパターンニングされた後、HSG化される。HSG化は、まず希フッ化水素酸でアモルファスシリコン膜表面の自然酸化膜を除去した後、超高真空チャンバーに試料を導入する。次に、チャンバー内真空度を 1×10^{-9} Torr以下に保った状態で基板温度を600℃に加熱する。さらに Si_2H_6 ガス20 sccmを20秒間供給した後、ただちに基板温度を室温まで下げることにより表面にHSGが形成される。HSGを形成したシリコン膜は、850℃、30分の窒素処理が施されて多結晶シリコンによる容量下部電極209が形成される(以上、図2(c))。その後、第1実施例と同じプロセスで誘電体膜210と容量上部電極211を形成し、所望の容量素子とされる(図2(d))。

【0017】第2実施例に関して、従来例(比較例)と本発明との比較を表3に示した。

【0018】

【表3】

原料ガス	成長温度	成長速度	カヴァレッジ*	成長時間
SiH ₄ -PH ₃ 系	560℃	2.5nm/min	100%	200min
Si ₂ H ₆ -PH ₃ 系	560℃	8.0nm/min	55%	93min
Si ₂ H ₆ -PH ₃ 系	470℃	1.5nm/min	75%	333min
本実施例	*2	560℃	2.5nm/min	100%
	*3	560℃	8.0nm/min	—
				*4
				*5
				97min

*1: コンタクトホール底での膜厚と層間絶縁膜上の膜厚との比

*2: SiH₄-PH₃系

*3: Si₂H₆-PH₃系

*4: 50min

*5: 47min

表3より各例の成長時間を比較すると、本実施例ではSiH₄-PH₃系単独の比較例に対して約半分(49%)に、一方、成長温度を470℃としたSi₂H₆-PH₃系単独の比較例に対しては約3分の1(29%)にそれぞれ成長時間が短縮され、生産性が向上していることが確認された。また、成長温度を560℃としたSi₂H₆-PH₃系単独の比較例では、カヴァレッジが55%と悪いため、コンタクトプラグとしては使用不可能であった。

【0019】なお、上記第1および第2実施例では、ドーパントガスとしてフォスフィンガス(PH₃)を用いた場合について説明したが、アルシンガス(AsH₃)を用いた場合も同様の結果が得られた。

【0020】

【発明の効果】本発明は、MOSダイナミックRAMを形成する積層型容量素子の形成方法において、シリコン基板上の層間絶縁膜にコンタクトホールを形成する工程と、減圧気相成長法により、成長温度550℃から560℃乃至600℃の範囲で原料ガスとしてモノシランガス(SiH₄)とドーパントガスを用いてコンタクトホールが完全に埋設されるまでドーフトシリコン膜を成長させる工程と、減圧気相成長法により、成長温度550℃から560℃乃至600℃の範囲で原料ガスとしてジ

シランガス(Si₂H₆)とドーパントガスを用いて容量下部電極となるドーフトシリコン膜を成長させる工程と、該ドーフトシリコン膜を所定の形状にパターンニングする工程と、アニールにより該ドーフトシリコン膜を多結晶化する工程とにより容量下部電極を形成することを特徴としている。このため、微細なコンタクトホールの埋設性に優れ、かつ生産性の高い容量素子の形成方法を提供できる。

【図面の簡単な説明】

【図1】(a)から(d)は本発明の第1実施例による容量素子形成方法をそれぞれ工程順に示す断面説明図である。

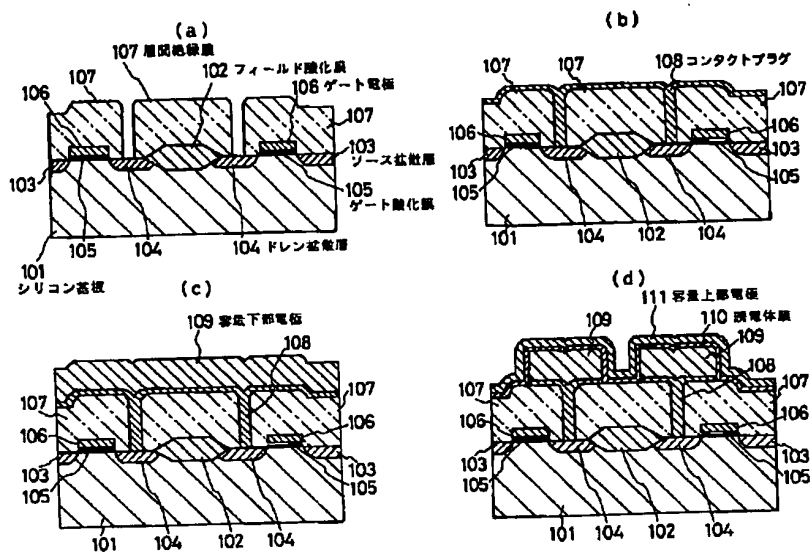
【図2】(a)から(d)は本発明の第2実施例による容量素子形成方法をそれぞれ工程順に示す断面説明図である。

【図3】(a)から(c)は従来方法による容量素子形成方法をそれぞれ工程順に示す断面説明図である。

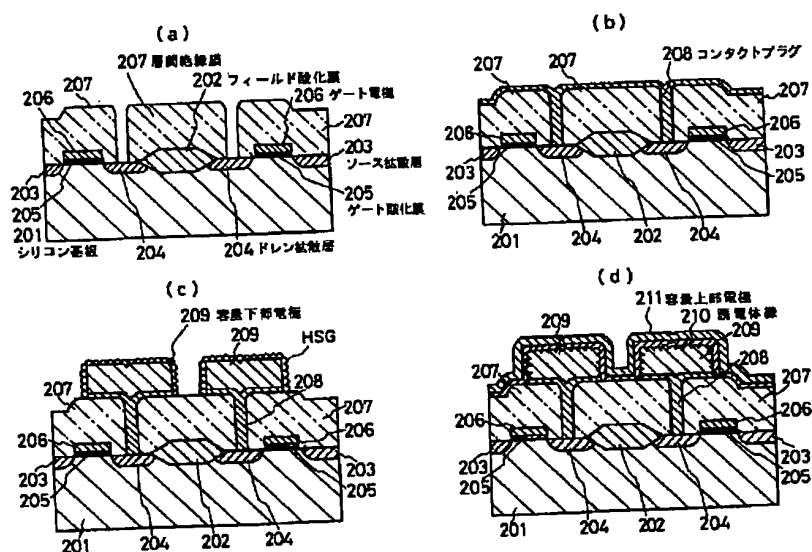
【符号の説明】

- 101、201、301 シリコン基板
- 102、202、302 フィールド酸化膜
- 103、203、303 ソース拡散層
- 104、204、304 ドレイン拡散層
- 105、205、305 ゲート酸化膜
- 106、206、306 ゲート電極
- 107、207、307 層間絶縁膜
- 108、208、308 コンタクトプラグ
- 109、209、309 容量下部電極
- 110、210、310 誘電体膜
- 111、211、311 容量上部電極

【図1】

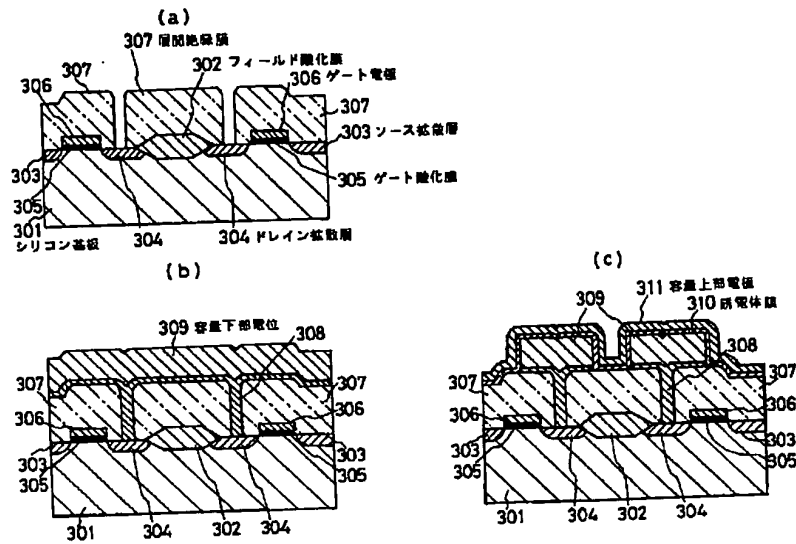


【図2】



(7)

【図3】



フロントページの続き

(51) Int. Cl. ⁶
H01L 21/822

識別記号 庁内整理番号

F I

技術表示箇所